

Docket No.: 61282-042

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Kouta YASUNAGA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 27, 2003	:	Examiner:
	:	
For: SHARED MEMORY DATA TRANSFER APPARATUS	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

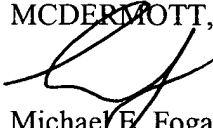
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. P. 2002-335332, filed November 19, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: October 27, 2003

日本国特許庁
JAPAN PATENT OFFICE

61282-042
K. YASUNAGA
October 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年11月19日

出願番号
Application Number:

特願2002-335332

[ST.10/C]:

[JP2002-335332]

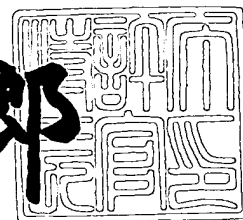
出願人
Applicant(s):

松下電器産業株式会社

2003年 3月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017759

【書類名】 特許願

【整理番号】 5037940139

【提出日】 平成14年11月19日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/163

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 安永 宏太

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

 【弁理士】

 【氏名又は名称】 市川 利光

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 共有メモリデータ転送装置

【特許請求の範囲】

【請求項 1】 複数のマスタが一つの共有メモリにアクセスしてデータ転送を行う共有メモリデータ転送装置において、

各マスタにそれぞれ接続される複数のマスタインターフェースと、

各マスタインターフェースに接続され、前記マスタから前記共有メモリに書き込まれるデータを保持する書き込みバッファと、

各マスタインターフェースに接続され、前記共有メモリから前記マスタに読み出されるデータを保持する読み出しバッファと、

各マスタインターフェースと前記共有メモリとの間に設けられ、前記共有メモリに対する各マスタからのコマンドを先入れ先出しで格納する F I F O と、

前記 F I F O から取り出したコマンドに従って、前記書き込みバッファから前記共有メモリへのデータ転送、または前記共有メモリから前記読み出しバッファへのデータ転送を制御する共有メモリインタフェースとを備える共有メモリアクセス装置。

【請求項 2】 同時に発行された複数のコマンドを所定の順序で前記 F I F O に格納する調停装置を備える請求項 1 記載の共有メモリアクセス装置。

【請求項 3】 コマンドの内容を参照して前記 F I F O に格納するコマンドの順序を並び替える調停装置を備える請求項 1 または 2 記載の共有メモリアクセス装置。

【請求項 4】 前記 F I F O に格納するコマンドを前記共有メモリのアクセス単位で発行する請求項 1 から 3 のいずれか一項記載の共有メモリデータ転送装置。

【請求項 5】 前記共有メモリのアクセスを固定のバースト長にする請求項 1 から 4 のいずれか一項記載の共有メモリデータ転送装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数のマスタが一つの共有メモリにアクセスしてデータ転送を行う共有メモリデータ転送装置に関する。

【0002】

【従来の技術】

近年、プロセッサ、DSP、DMA等の複数のバスマスタと、メモリ、周辺I/Oデバイス等のバススレーブとが複数のバスで接続されるシステムLSIでは、効率的に処理が可能であることが重要となっている。そのためには、バススレーブを共有し、小面積、低消費電力で、効率的なアクセス制御を実現することが重要である。

【0003】

従来のマルチバスマスタから共有リソースへのアクセス制御技術は、例えば、特許文献1に記載された「データ転送方式及びデータ転送装置」が存在し、各バスマスタに対応するデータバッファとデータ転送制御回路を設け、データ転送制御回路により共有メモリへのアクセスまたは他のデータバッファにアクセスすることで高速にデータ転送を可能とするものである。

【0004】

【特許文献1】

特開平7-93274号公報

【0005】

【発明が解決しようとする課題】

上記従来技術では、データ転送制御回路がアドレスバッファや多くの制御回路を必要とした複雑な回路であるため、回路規模が大きくなるという問題があった。

【0006】

本発明は、上記問題を解決するためになされたもので、複数のバスマスタと共有メモリ間のデータ転送を回路規模が小さく簡単な制御回路で行うことができる共有メモリデータ転送装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

前記の上記目的を達成するために、請求項 1 の発明に係る共有メモリデータ転送装置は、複数のマスタ（マスタ 1、5、9、13）が一つの共有メモリ（共有メモリ 20）にアクセスしてデータ転送を行う共有メモリデータ転送装置において、各マスタにそれぞれ接続される複数のマスタインターフェース（マスタ I/F 2、6、10、14）と、各マスタインターフェースに接続され、前記マスタから前記共有メモリに書き込まれるデータを保持する書き込みバッファ（ライトデータバッファ 3、7、11、15）と、各マスタインターフェースに接続され、前記共有メモリから前記マスタに読み出されるデータを保持する読み出しバッファ（リードデータバッファ 4、8、12、16）と、各マスタインターフェースと前記共有メモリとの間に設けられ、前記共有メモリに対する各マスタからのコマンドを先入れ先出しで格納する F I F O（コマンド F I F O 18）と、前記 F I F O から取り出したコマンドに従って、前記書き込みバッファから前記共有メモリへのデータ転送、または前記共有メモリから前記読み出しバッファへのデータ転送を制御する共有メモリインターフェース（共有メモリ I/F 19）とを備える。

【 0 0 0 8 】

上記構成によれば、各マスタのコマンドを先入れ先出しで F I F O に格納した後、F I F O からコマンドを先入れ先出しで取り出して共有メモリに対するデータ転送を実行することで、複数のバスマスタと共有メモリ間のデータ転送を回路規模が小さく簡単な制御回路（F I F O）により行うことができる。

【 0 0 0 9 】

請求項 2 の発明に係る共有メモリデータ転送装置は、請求項 1 記載の共有メモリアクセス装置において、同時に発行された複数のコマンドを所定の順序で前記 F I F O に格納する調停装置を備える。

【 0 0 1 0 】

請求項 3 の発明に係る共有メモリデータ転送装置は、請求項 1 または 2 記載の共有メモリアクセス装置において、コマンドの内容を参照して前記 F I F O に格納するコマンドの順序を並び替える調停装置を備える。

【 0 0 1 1 】

上記構成によれば、調停装置により各マスタからのコマンドの順序を並び替えてF I F Oに格納することができるため、共有メモリからのデータ読み出しを効率良く行うことができる。

【 0 0 1 2 】

請求項4の発明に係る共有メモリデータ転送装置は、請求項1から3のいずれか一項記載の共有メモリデータ転送装置において、前記F I F Oに格納するコマンドを前記共有メモリのアクセス単位で発行する。

【 0 0 1 3 】

請求項5の発明に係る共有メモリデータ転送装置は、請求項1から4のいずれか一項記載の共有メモリデータ転送装置において、前記共有メモリのアクセスを固定のバースト長にする。

【 0 0 1 4 】

上記構成によれば、F I F Oに格納されるコマンドの発行や共有メモリへのアクセスを制御することで、共有メモリインターフェースでの転送制御を効率良く行うことができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

図1は、本発明の第1の実施の形態に係る共有メモリデータ転送装置の構成を示すブロック図である。図1において、データ転送装置は、プロセッサ、DSP、DMA等のバスマスタ（以下、マスタと記す）1、マスタ5、マスタ9、マスタ13が共有メモリ20にアクセスしてデータの書き込み、読み出しを行う。

【 0 0 1 6 】

マスタ1はマスタインターフェース（I/F）2を介してライトデータバッファ3およびリードデータバッファ4に接続され、マスタ5はマスタインターフェース（I/F）6を介してライトデータバッファ7およびリードデータバッファ8に接続され、マスタ9はマスタインターフェース（I/F）10を介してライトデータバッファ11およびリードデータバッファ12に接続され、マスタ13はマスタインターフェース（I/F）14を介してライトデータバッファ15お

よびリードデータバッファ16に接続される。

【0017】

また、コマンドFIFO18、共有メモリインターフェース（共有メモリI/F）19、ライトデータバッファ3、7、11、15およびリードデータバッファ4、8、12、16が、データバス17を介して相互に接続され、共有メモリインターフェース19は共有メモリ20に接続される。コマンドFIFO18は、制御線を介してマスタインターフェース（マスタI/F）2、6、10、14および共有メモリI/F19に接続される。

【0018】

ここで、共有メモリ20のバス幅を16ビットとし、共有メモリI/F19の制御回路を簡略化するため、共有メモリ20は8バースト固定アクセスとする。また、マスタ1、5、9、13はARM社のAMBA AHBプロトコルに従って動作するものとする。

【0019】

転送サイズは8、16、32ビットまでサポートし、バーストの種類は単独転送、不定長インクリメンタルバースト、4、8、16ビットインクリメンタルバースト転送および4、8、16ビットラップバースト転送をサポートする。

【0020】

各マスタI/Fに接続されるライトデータバッファは、32ビットの16ビットラップ転送をサポートするため64バイトの容量とする。各マスタI/Fに接続されるリードデータバッファは、32ビットの16ビットラップ転送をサポートするために64バイトの容量とする。コマンドFIFO18は、マスタの数分（図示例では5個）のコマンドが蓄えることができる容量とする。コマンドFIFO18に格納するコマンドは、バーストの開始アドレス、書き込み転送か読み出し転送か、ラップバーストかインクリメンタルバーストか、転送サイズ、ビット回数、マスタIDから成るものとする。

【0021】

次に上記構成の共有メモリアクセス装置の動作について説明する。上記構成において、マスタI/F2はデータバス17のプロトコルに従ってマスタ1からの

要求を判断しながら応答する。マスタ 1 が要求を出したとき、要求内容をコマンドとしてコマンド F I F O 1 8 に渡す。マスタ 1 が共有メモリ 2 0 に対し書き込み転送を行う場合、マスタ I / F 2 はライトデータバッファ 3 が空いている場合に転送を開始する。読み出し転送の場合は、共有メモリ 2 0 からの読み出しデータをリードデータバッファ 4 から読み出す。ライトデータバッファ 3 はマスタ I / F 2 がデータを書き込んだ後、共有メモリ I / F 1 9 がデータを読み出すまで書き込み不可とする。リードデータバッファ 4 はマスタ I / F 2 からのリードデータを蓄える。リードデータバッファ 4 にデータを蓄えることで転送サイズが転送毎に異なっても、ウェイト要求にも、ラップ転送にも対応することができる。コマンド F I F O 1 8 は各マスタ I / F からのコマンドを順次保持する。また、蓄えられたコマンドを順次共有メモリ I / F 1 9 に渡していく。さらに、同時に発行された複数のコマンドを調停する調停装置（図 3 参照）を付加することが可能である。共有メモリ I / F 1 9 はマスタ I / F 2 が出力するコマンドを共有メモリ 2 0 のプロトコルに変換し、共有メモリ 2 0 の転送単位毎にコマンド F I F O 1 8 からコマンドを取り出していく。他のマスタの系列もマスタ 1 の系列と同様である。

【 0 0 2 2 】

マスタ 1 が共有メモリ 2 0 にインクリメンタルバーストでデータの書き込みを行う場合、データをマスタ I / F 2 を介してライトデータバッファ 3 の空き領域に書き込んでいく。8 バイト以上のデータ転送を行う場合、8 バイトの書き込みを行う毎にマスタ I / F 2 からコマンドをコマンド F I F O 1 8 に送る。

【 0 0 2 3 】

ライトデータバッファ 3 またはコマンド F I F O 1 8 に書き込める領域がない場合、マスタ I / F 2 からマスタ 1 にウェイト信号を返して転送を中断する。即ち、インクリメンタルバーストで書き込みを行う場合、マスタ 1 が持つライトデータバッファ 3 に 1 6 バイト以上の空き領域とコマンド F I F O 1 8 に空きがあれば他のマスタの転送状況に拘らず、マスタ 1 は共有メモリ 2 0 に対するデータの転送を行うことができる。

【 0 0 2 4 】

共有メモリ I / F 1 9 は共有メモリ 2 0 へのバースト毎にコマンド F I F O 1 8 から先入れ先出しでコマンドを取り出す。このコマンドにあるスタートアドレスからの 8 バースト転送が 1 個のコマンドで行う転送に相当する。8 バースト転送を行う際、共有メモリ I / F 1 9 は該当するデータをライトデータバッファ 3 から取り出し、共有メモリ 2 0 に転送する。しかし、共有メモリ I / F 1 9 は 1 個のコマンドが 1 6 バイトに満たないとき、マスク信号を共有メモリ 2 0 に出力することで所望のデータ量の転送を行う。

【 0 0 2 5 】

マスタ 1 が共有メモリ 2 0 にラップバーストで書き込みを行う場合、マスタ I / F 2 はライトデータバッファ 3 に転送サイズ分の空き領域がある場合に書き込み許可を行い、コマンドは転送サイズに拘らず 1 回の転送で 1 回のコマンドがコマンド F I F O 1 8 に送られる。

【 0 0 2 6 】

ライトデータバッファ 3 へのデータの書き込みはラップバースト転送のアドレスに対応した形でライトデータバッファ 3 に格納する。即ち、転送サイズ 3 2 ビットでアドレス 4 4、4 8、4 C、4 0 のようにラップバースト転送を行う場合、データはライトデータバッファ 3 の 4、8、C、0 の各アドレスに書き込まれる。

【 0 0 2 7 】

共有メモリ I / F 1 9 はコマンド F I F O 1 8 から先入れ先出しでラップバースト転送のコマンドを受け取ったとき、バーストの開始アドレスをラップの境界にする。上記のような転送の場合、バーストの開始アドレスは 4 0 となる。ライトデータバッファ 3 からの書き込みデータの読み出しは、ライトデータバッファ 3 のアドレス 0 から読み出していく。

【 0 0 2 8 】

マスタ 1 が共有メモリ 2 0 からインクリメンタルバーストでデータの読み出しを行う場合、マスタ I / F 2 は 8 バイト単位でコマンドをコマンド F I F O 1 8 に送る。

【 0 0 2 9 】

共有メモリ I / F 1 9 がコマンド F I F O 1 8 からリードのコマンドを受け取り、共有メモリ 2 0 からデータを読み出したとき、読み出しデータをリードデータバッファ 4 に格納する。マスタ I / F 2 はリードデータバッファ 4 にデータが格納された後、そのデータを読み出してマスタ 1 に転送する。

【 0 0 3 0 】

マスタ 1 が共有メモリ 2 0 からラップバーストでデータの読み出しを行う場合、マスタ I / F 2 はコマンドを転送サイズに拘らず 1 回の転送で 1 回のコマンドをコマンド F I F O 1 8 に送る。

【 0 0 3 1 】

共有メモリ I / F 1 9 はコマンド F I F O 1 8 からラップバースト転送のコマンドを受け取ったとき、バーストの開始アドレスをラップの境界にする。共有メモリ I / F 1 9 はインクリメンタルバースト転送と同様に共有メモリ 2 0 から読み出したデータをリードデータバッファ 4 に書き込む。マスタ I / F 2 はラップ転送のアドレスに対応したリードデータバッファ 4 のアドレスからデータを読み出してマスタ 1 に転送する。

【 0 0 3 2 】

図 2 はデータ転送動作を説明するシーケンス図である。マスタ 1 はステップ 2 0 1 で、共有メモリ 2 0 へのデータの書き込み要求をマスタ I / F 2 に出すと、マスタ I / F 2 はステップ 2 0 2 で、ライトデータバッファ 3 から空き領域の確認を受け、ステップ 2 0 3 でマスタ 1 からライトデータバッファ 3 へデータの転送を開始し、その後、ステップ 2 0 4 で、ライトデータバッファ 3 へデータの転送を完了する。

【 0 0 3 3 】

マスタ 1 は、ステップ 2 0 5 で、共有メモリ 2 0 からのデータの読み出し要求をマスタ I / F 2 に出す。

【 0 0 3 4 】

マスタ I / F 2 は、ステップ 2 0 6 で、書き込み転送のコマンドをコマンド F I F O 1 8 に発行し、これに対してコマンド F I F O 1 8 はステップ 2 0 7 で受付応答をマスタ I / F 2 に行う。

【 0 0 3 5 】

共有メモリ I / F 1 9 は、ステップ 2 0 8 で、コマンド F I F O 1 8 から先入れ先出しでコマンドを取り出す。この場合、マスタ I / F 2 から発行された上記書き込み転送のコマンドを取り出し、ステップ 2 1 0 で共有メモリ 2 0 に対してデータの書き込みアクセスを開始し、ステップ 2 1 1 でライトデータバッファ 3 からデータが共有メモリ 2 0 に転送される。

【 0 0 3 6 】

この間、マスタ I / F 2 はステップ 2 0 9 で、コマンド F I F O 1 8 にデータの読み出し転送のコマンドを発行し、これに対してコマンド F I F O 1 8 はステップ 2 1 2 にて受付応答をマスタ I / F 2 に行う。

【 0 0 3 7 】

その後、ステップ 2 1 3 で、ライトデータバッファ 3 からのデータの共有メモリ 2 0 への書き込みが完了する。

【 0 0 3 8 】

共有メモリ I / F 1 9 は、ステップ 2 1 4 で、コマンド F I F O 1 8 から先入れ先出しでコマンドを取り出す。この場合、マスタ I / F 2 から発行された上記読み出し転送のコマンドを取り出し、ステップ 2 1 5 で共有メモリ 2 0 に対してデータの読み出しアクセスを開始し、ステップ 2 1 6 で共有メモリ 2 0 からデータが読み出されてリードデータバッファ 4 に書き込まれる。

【 0 0 3 9 】

その後、ステップ 2 1 7 でリードデータバッファ 4 から上記読み出しデータがマスタ 1 に転送開始され、ステップ 2 1 8 で共有メモリ 2 0 からリードデータバッファ 4 へのデータの読み出しアクセスが完了され、ステップ 2 2 0 でリードデータバッファ 4 からマスタ 1 への読み出しデータの転送が完了される。その間、共有メモリ I / F 1 9 はステップ 2 1 9 で、コマンド F I F O 1 8 から先入れ先出しで別のコマンドを取り出す。

【 0 0 4 0 】

マスタ 5、9、1 3 の共有メモリ 2 0 に対するデータ転送動作についてもマスタ 1 と同様である。

【 0 0 4 1 】

本実施の形態によれば、マスタ 1、5、9、13 の共有メモリ 20 に対するデータの書き込み／読み出しコマンド等を先入れ先出しでコマンド FIFO 18 に格納し、格納したコマンドを共有メモリ I / F 19 により先入れ先出しで読み出して、共有メモリ 20 に対するデータの書き込み、読み出しを実行するため、マスタ 1、5、9、13 のデータの転送が非同期であってもそれらのコマンドが衝突することなく順番に共有メモリ I / F 19 で読み出して実行することができる。このように、データ転送制御回路としてコマンド FIFO 18 を用いることで、データ転送制御回路の回路構成を簡単にして回路規模を小さくすることができる。

【 0 0 4 2 】

また、複数個の書き込み要求、読み出し要求などのアクセス信号が非同期でアクセスする場合でも、コマンドは発行順でコマンド FIFO 18 に格納され、発行順で取り出されて実行されるため、共有メモリ 20 のアクセス手段を変更することなくデータ転送を円滑に行うことができる。

【 0 0 4 3 】

図 3 は、本発明の第 2 の実施の形態に係る共有メモリデータ転送装置の構成を示すブロック図である。図 1 と同一部分には同一符号を付して説明する。図 3 の共有メモリデータ転送装置は、複数のマスタ I / F 2、6、10、14 からのコマンドが調停装置 21 を介してコマンド FIFO 18 に格納される。

【 0 0 4 4 】

調停装置 21 は、読み出し転送のコマンドを受け取ったとき、コマンド FIFO 18 に格納されている書き込み転送のコマンドのアドレスを見て、読み出そうとしているアドレスが他のマスタが書き込み転送でアクセスしていないアドレスの場合、書き込み転送のコマンドの前に割り込ませて順序を換えた後、コマンド FIFO 18 に格納する。従って、共有メモリ I / F 19 は読み出し転送のコマンドを書き込み転送のコマンドよりも先に取り出して実行するため、共有メモリ 20 からのデータの読み出し応答を早くすることができる。

【 0 0 4 5 】

【発明の効果】

以上説明したように、本発明によれば、複数のマスタが一つの共有メモリにアクセスしてデータ転送を行うに際し、各マスタのコマンドを先入れ先出しでF I F Oに格納した後、F I F Oからコマンドを先入れ先出しで取り出して共有メモリに対するデータ転送を実行することで、複数のバスマスタと共有メモリ間のデータ転送を回路規模が小さく簡単な制御回路（F I F O）により行うことができる。また、複数個の書き込み要求、読み出し要求などのアクセス信号が非同期でアクセスする場合でも、コマンドは発行順で制御回路（F I F O）に格納され、発行順で取り出されて実行されるため、共有メモリのアクセス手段を変更することなくデータ転送を円滑に行うことができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る共有メモリデータ転送装置の構成を示すブロック図。

【図 2】

図 1 に示した共有メモリデータ転送装置のデータ転送動作を説明するシーケンス図。

【図 3】

本発明の第 2 の実施の形態に係る共有メモリデータ転送装置の構成を示すブロック図。

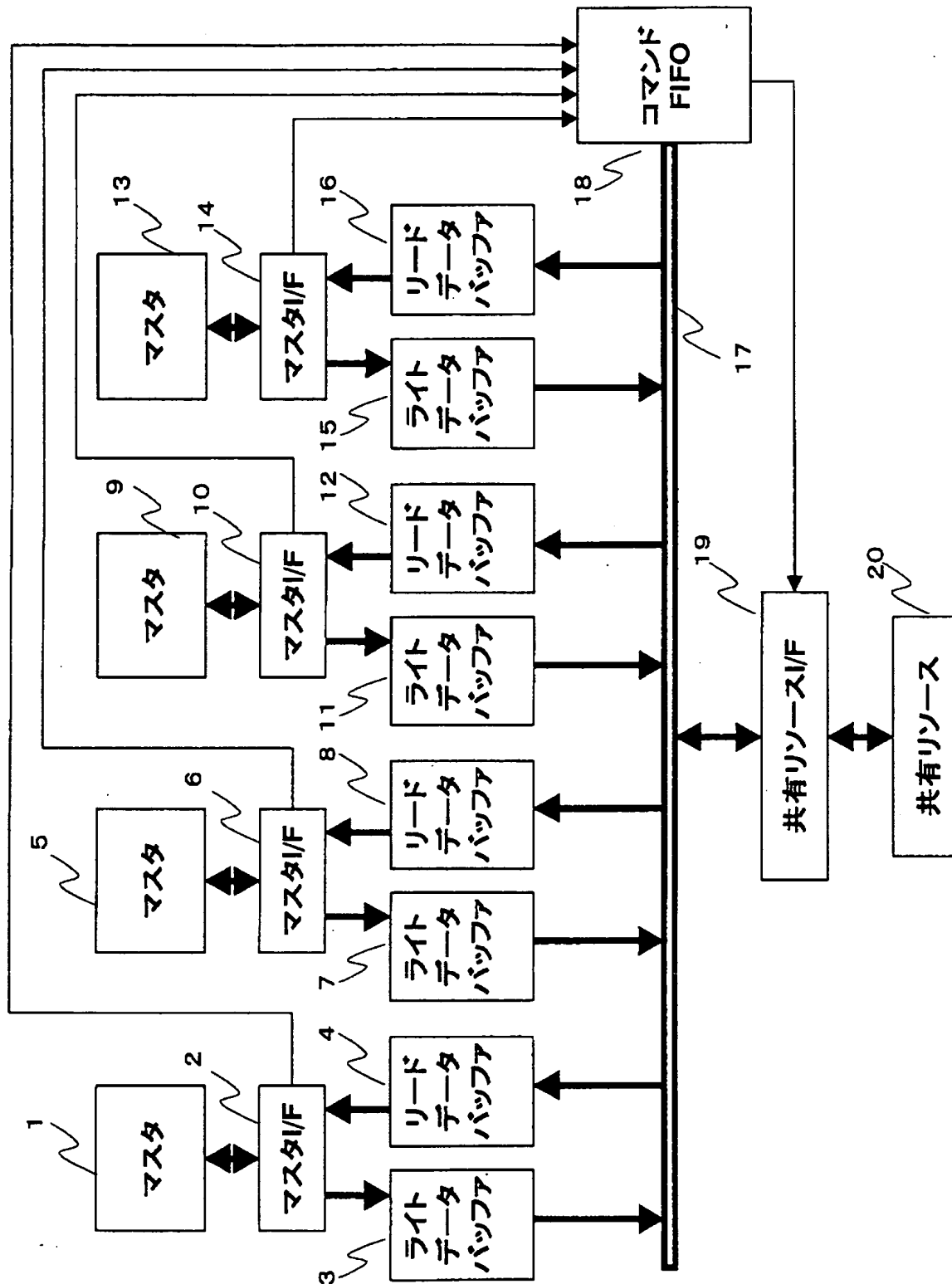
【符号の説明】

- 1、5、9、13 マスタ（バスマスタ）
- 2、6、10、14 マスタインターフェース（マスタ I / F）
- 3、7、11、15 ライトデータバッファ
- 4、8、12、16 リードデータバッファ
- 17 データバス
- 18 コマンドF I F O
- 19 共有メモリインターフェース（共有メモリ I / F）
- 20 共有メモリ

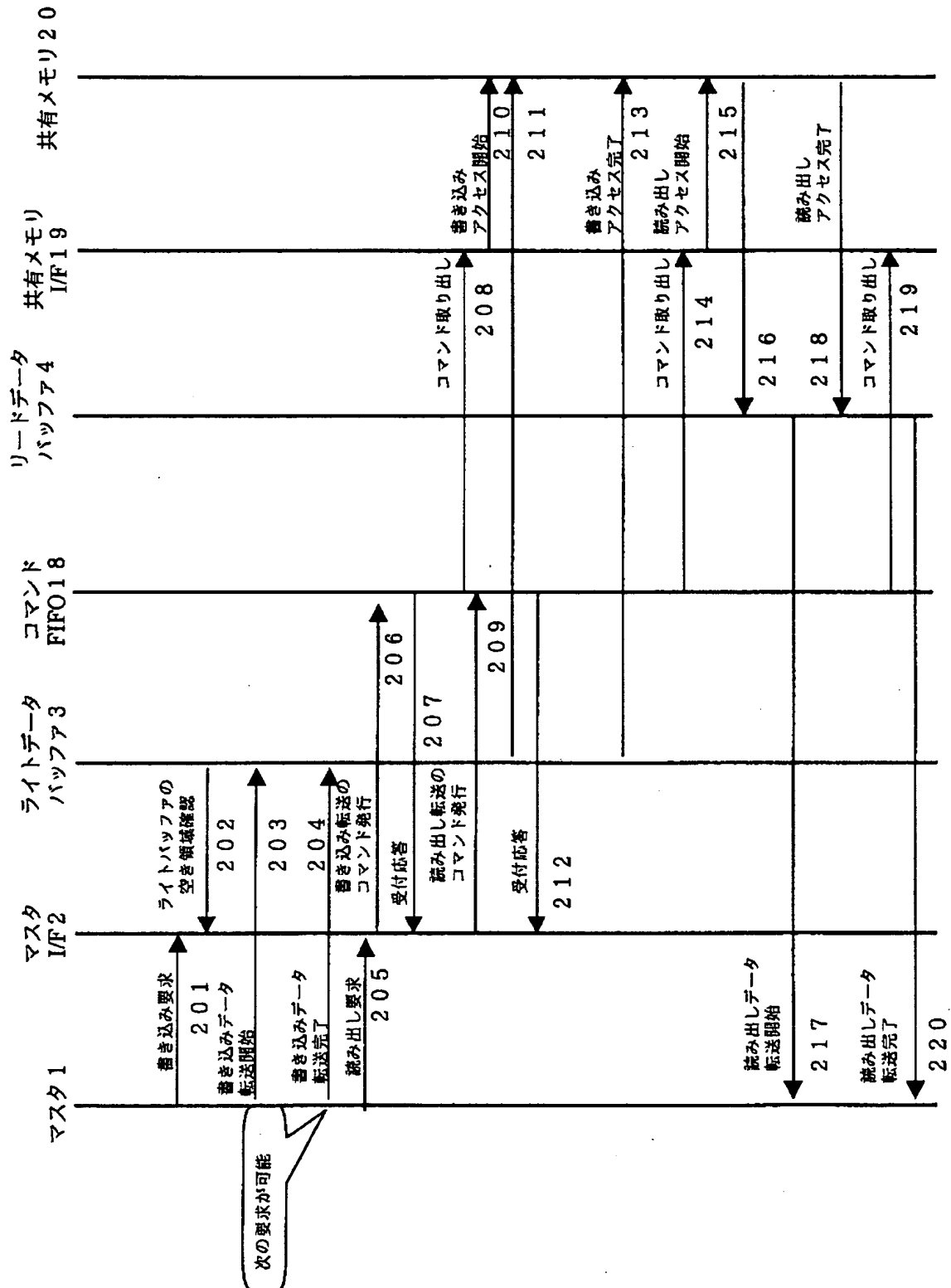
2 1 調停装置

【書類名】 図面

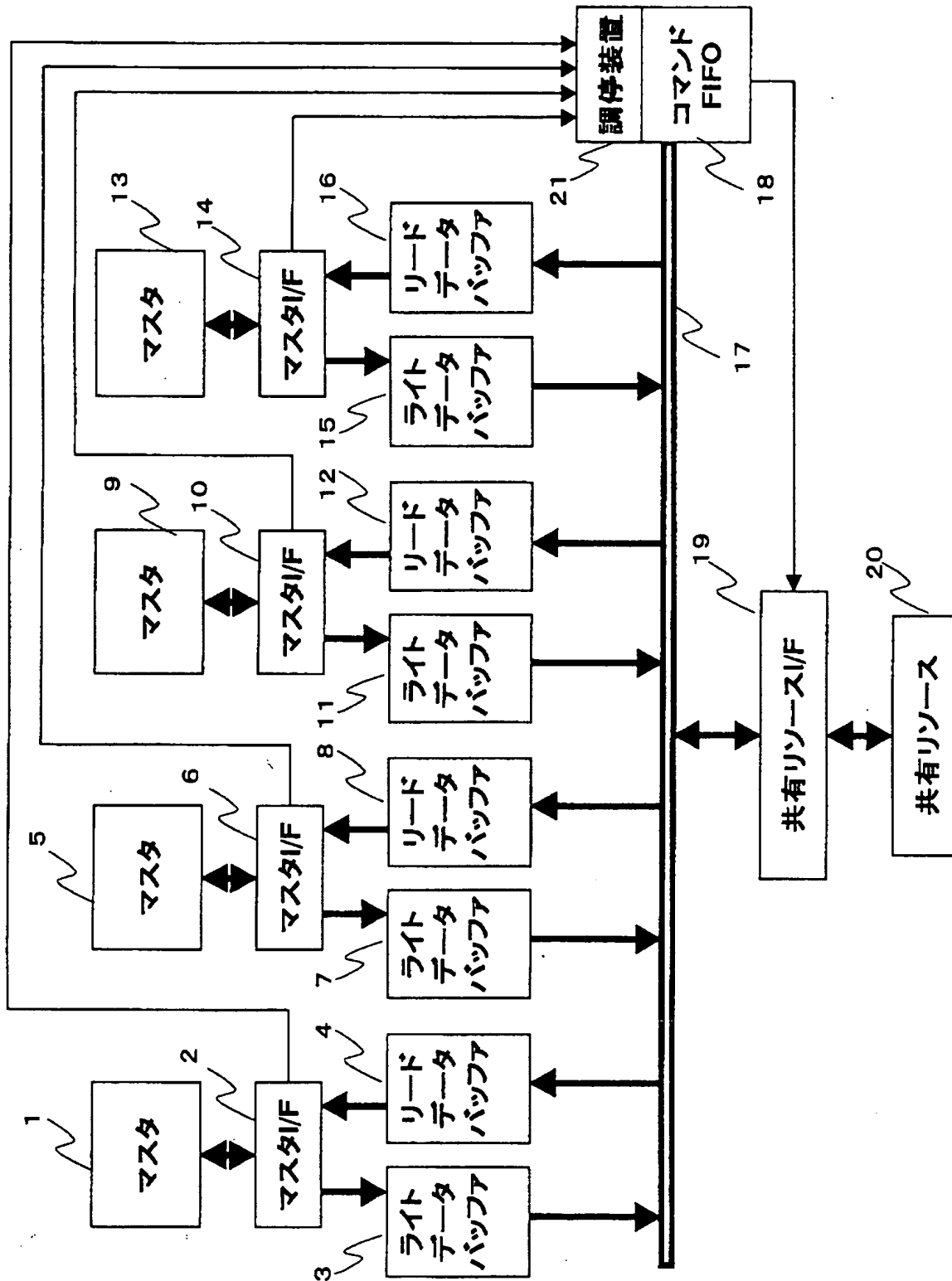
【図 1】



【図 2】



【図3】



【書類名】 要約書

【要約】

【課題】複数のバスマスタと共有メモリ間のデータ転送を回路規模が小さく簡単な制御回路で行う。

【解決手段】各マスタにそれぞれ接続される複数のマスタ I / F 2、6、10、14 と、各マスタ I / F に接続され、マスタから共有メモリに書き込まれるデータを保持するライトデータバッファ 3、7、11、15 と、各マスタ I / F に接続され、共有メモリからマスタに読み出されるデータを保持するリードデータバッファ 4、8、12、16 と、各マスタ I / F と共有メモリとの間に設けられ、共有メモリに対する各マスタからのコマンドを先入れ先出しで格納するコマンド F I F O 18 と、コマンド F I F O から取り出したコマンドに従ってライトデータバッファから共有メモリへのデータ転送または共有メモリからリードデータバッファへのデータ転送を制御する共有メモリ I / F 19 とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社